

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-245720

(43)Date of publication of application : 29.09.1989

(51)Int.Cl.

H04B 1/26

(21)Application number : 63-073557

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 28.03.1988

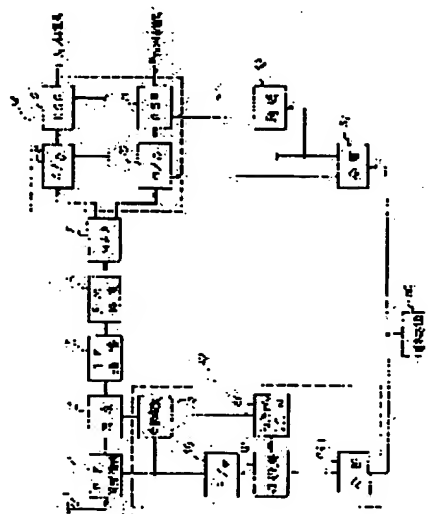
(72)Inventor : SUZUKI SHINJI

(54) SYNTHESIZER TUNER

(57)Abstract:

PURPOSE: To reduce the deterioration in the S/N and reception sensitivity due to beat by providing a digital signal processing circuit to a demodulation means obtaining a demodulation signal, devising the frequency ratio between the frequency of an operating clock and that of a reference frequency signal of the digital signal processing circuit to be an integral number ratio and phase-locking the operating clock and the reference frequency signal.

CONSTITUTION: The frequency ratio of the reference frequency signal and the operating clock of the digital circuit 14 is selected to be an integral number ratio and the phase of both the signals is locked. The output of a frequency divider 44a is supplied to a phase comparator 42 of the PLL as the reference frequency signal. An output of a frequency divider 51 is fed to A/D converters 8, 10 as the sampling signal. Moreover, the sampling signal is subject to multiplication of a factor of an integral number and the timing clock phase-locked is supplied from a multiplier 52 to the digital circuit 14. As a result, since the synthesizer section 40 and the digital circuit section 14 are phase-locked by means of a fundamental clock of a fundamental clock oscillator 50, the production of a beat in both the circuits or a demodulation circuit is largely reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

⑯ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-245720

⑤ Int. Cl.⁴

H 04 B 1/26

識別記号

庁内整理番号

R-7189-5K

⑬ 公開 平成1年(1989)9月29日

審査請求 未請求 請求項の数 3 (全6頁)

⑭ 発明の名称 シンセサイザチューナ

⑰ 特 願 昭63-73557

⑱ 出 願 昭63(1988)3月28日

⑲ 発 明 者 鈴木 信 司 東京都大田区大森西4丁目15番5号 バイオニア株式会社
大森工場内

⑳ 出 願 人 バイオニア株式会社 東京都目黒区目黒1丁目4番1号

㉑ 代 理 人 弁理士 藤村 元彦

明 細 書

1. 発明の名称

シンセサイザチューナ

2. 特許請求の範囲

(1) 基準周波数信号の整数倍の局発周波数信号を設定するシンセサイザ部と、前記局発周波数信号と受信信号とを混合して中間周波数信号を得る周波数混合手段と、前記中間周波数信号を復調して復調信号を得る復調手段とを含むシンセサイザチューナであって、

前記復調手段はアナログ信号をデジタル化してこれを信号処理するデジタル信号処理回路を含み、前記デジタル信号処理回路の動作クロックと前記基準周波数信号との周波数比を整数比とし、かつ前記動作クロックと前記基準周波数信号とを位相同期せしめたことを特徴とするシンセサイザチューナ。

(2) 前記基準周波数信号及び前記動作クロック信号は基本発振器から得られる基本クロック

を分周して得たことを特徴とする請求項1記載のシンセサイザチューナ。

(3) 前記復調信号は同期信号を含むコンボジット信号であり、前記復調手段は前記コンボジット信号から前記同期信号を分離する同期分離回路を含み、該分離同期信号、前記基準周波数信号及び前記動作クロック信号相互の周波数比を整数比としかつ前記分離同期信号、前記基準周波数信号及び前記動作クロック信号相互を位相同期せしめたことを特徴とする請求項1記載のシンセサイザチューナ。

3. 発明の詳細な説明

技術分野

本発明は、シンセサイザチューナに関する。

背景技術

シンセサイザチューナの復調回路にデジタル信号処理回路を用いたものがある。かかるチューナの例について第4図を参照しつつ説明する。

第4図はFMシンセサイザチューナの構成を示しており、アンテナ1に誘起した受信信号は高周

波（以下、RFと称する）同調増幅回路2に供給される。RF同調増幅回路2は、後述する制御電圧に応じて同調周波数が設定され、該同調周波数の受信信号を選択的に増幅して混合回路3の一方入力端に供給する。混合回路3の他方入力端には後述する位相同期制御された局部発振器4から局発信号が供給されている。混合回路3は両信号のビート成分を得て、このビート成分から同調回路等により中間周波数（以下、IFと称する）を抽出する。このIF信号は、帯域増幅をなすIF増幅回路5によって増幅されてFM検波回路6に供給される。FM検波回路6は、クォドラチュア検波器等の周知FM復調回路であり、上記IF信号はステレオコンポジット信号（以下、コンポジット信号と称する）に復調される。該コンポジット信号はマルチプレックスデコード（以下、MPX回路と称する）7によって左右チャンネル信号に分離される。左チャンネル信号は、A/D変換器8によってデジタル信号に変換されてデジタル信号処理（以下、DSPと称する）回路9に供給

- 3 -

既述局部発振器4の局発信号はプログラマブル分周器41を介して位相比較器42の一方入力端にも供給される。プログラマブル分周器41の分周数Nは、図示しないマイクログロッサが受信すべき周波数に対応して設定する。例えば25[KHz]のN倍が受信すべき周波数に対応する局発周波数となるようにする。位相比較器42の他方入力端には、比較基準発振器43の出力が分周器44によって分周されて25[KHz]の基準周波数信号として供給される。位相比較器42のPWM出力は、チャージポンプ、ローパスフィルタ等により構成される周波数・電圧（以下、F/Vと称する）変換回路45によって制御電圧に変換されてRF同調回路2及び局部発振器4に供給される。回路4、41～45は局発周波数を設定周波数に安定させるPLLを形成し、シンセサイザ40を構成する。

かかるシンセサイザチューナにおいては、比較基準発振器12及びクロック発振器43に起因するビート成分が発生し易い。特に、デジタル回路

- 5 -

される。右チャンネル信号は、A/D変換器10によってデジタル信号に変換されてDSP回路11に供給される。DSP回路9及び11にはクロック発振器12からタイミングクロックが供給される。A/D変換器8及び10は上記タイミングクロックを分周器13によって分周して得られるサンプリング信号に同期してサンプリング動作をなす。DSP回路9及び11は、例えば復調チャンネル信号に含まれるパイロット信号成分のキャンセル、再生信号のディエンファシス、ハイブレンド等を行なうものである。DSP回路9及び11の各出力は、図示しないデジタルアンプによってレベル増幅された後にアナログ信号に変換されてスピーカを駆動する音声出力回路に供給されて音声に変換され、あるいは図示しないDATに供給されて記録される。回路8～11はデジタル信号処理回路（以下、デジタル回路と称する）14を構成する。また、上記タイミングクロックと上記サンプリング信号とを含めてデジタル回路14で使用されるクロックを動作クロックと称する。

- 4 -

14を動作させるクロック発振器12は方形波を使用するため高調波を多く含み、ビートの原因となりやすい。加えてMPX回路7にいわゆるスイッチング方式やマトリクス方式を採用した場合には、MPX回路7におけるスイッチング信号もビートの発生原因となる。

ビートが発生すると、チューナのS/N、受信感度等が低下する。これを改善するためには例えばデジタル回路部を全体的にシールドケースで覆うことが考えられるが、そうしてもビートの発生を抑止出来ない場合もあり、また、大幅にコストアップとなる不具合がある。

発明の概要

よって、本発明の目的はビートによるS/Nや受信感度の低下を抑制し得るシンセサイザチューナを提供することである。

上記目的を達成するために本発明のシンセサイザチューナは、基準周波数信号の整数倍の局発周波数信号を設定するシンセサイザ部と、上記局発周波数信号と受信信号とを混合して中間周波数信

- 6 -

号を得る周波数混合手段と、上記中間周波数信号を復調して復調信号を得る復調手段とを含むシンセサイザチューナにおいて、上記復調手段はアナログ信号をデジタル化してこれを信号処理するデジタル信号処理回路を含み、上記デジタル信号処理回路の動作クロックと上記基準周波数信号との周波数比を整数比とし、かつ上記動作クロックと上記基準周波数信号とを位相同期せしめたことを特徴としている。

実施例

以下、本発明の実施例について第1図を参照しつつ説明する。第1図に示された回路において第4図に示された回路と対応する部分には同一符号を付し、かかる部分の説明は省略する。

第1図においては、PLLの基準周波数信号及びデジタル回路14の動作クロック相互の周波数比を整数比としかつ両信号を位相同期せしめる構成としており、そのために両信号を基本発振器50の出力を分周して得ている。

基本発振器50の出力は分周器44a及び51

- 7 -

のような分周器51と44bとの縦列接続に置換することが出来る。この場合は、分周器51の分周数は72、分周器44bの分周数は4に設定される。こうすると分周器44bの分周数を小さくすることのできる利点がある。

こうして、基準周波数信号と動作クロックとは位相同期する。既述周波数信号は、上記基準周波数信号のN（整数）倍の周波数でかつ基準周波数信号に位相同期している。一方、デジタル回路部はサンプリング信号周波数あるいはそのn（整数）倍のタイミングクロック周波数で動作する。その結果、シンセサイザ部40とデジタル回路部14は共に基本発振器50の基本クロックを介して位相同期しているので、両回路あるいは復調回路におけるビートの発生は大きく減少する。

第2図に示されたシンセサイザチューナは本発明の他の実施例であり、基準周波数信号、動作クロック及びMPX回路7のスイッチング信号相互間のビート成分に起因するS/N、受信感度の低下等を抑制せんとしている。

- 9 -

によって分周される。分周器44aの出力は基準周波数信号として既述PLLの位相比較器42に供給される。分周器51の出力はサンプリング信号としてA/D変換器8及10に供給される。また、このサンプリング信号を整数倍してかつ位相同期したタイミングクロックを逆倍器52によって得てデジタル回路14に供給している。なお、分周器51によって得た出力をDSPに入力した直にそれを分周したものをA/D変換器に与えてもよい。他の構成は従来回路と同様である。

かかる構成において、例えば、必要なPLLの基準周波数信号を25 [KHz]、サンプリング信号周波数を100 [KHz]とした場合には、基本発振器50の発振周波数は、7.2 [MHz]、分周器44aの分周数は288、分周器51の分周数は72とする。こうすると、分周器44aの出力周波数は25 [KHz]となってPLLの基準周波数信号が得られる。また、分周器51の出力周波数は100 [KHz]となる。

なお、分周器44a及び51は第3図に示され

- 8 -

第2図に示された回路において第1図に示された回路と対応する部分には同一符号を付しており、かかる部分の説明は省略する。

第2図においてFM検波回路6からコンポジット信号がPLL回路60に供給される。PLL回路60は、例えばバンドパスフィルタと、該コンポジット信号のサブキャリア周波数である38 [KHz]で安定に発振するPLL回路とによって構成される。該バンドパスフィルタによってコンポジット信号から19 [KHz]のパイロット信号を抽出し、このパイロット信号に位相同期した38 [KHz]のスイッチング信号を上記PLL回路により得る。この38 [KHz]のスイッチング信号は例えば二重平衡型差動スイッチング回路によって構成されるスイッチング方式あるいはマトリクス方式のMPX回路7及び位相比較器61の一方入力端に供給される。なお、PLL回路60はMPX回路7に含まれる38 [KHz]抽出回路を用いることも可能である。位相比較器61の他方入力端には基準発振器としての可変周波

- 10 -

数発振器 62 からの基本クロックが分周器 63 を介して供給される。位相比較器 61 の比較出力は F/V 変換回路 64 により制御電圧に変換されて可変周波数発振器 62 に供給される。回路 61 ~ 64 は PLL を構成する。可変周波数発振器 62 の出力は分周器 44c 及び 51a にも供給される。分周器 44c の出力はシンセサイザ部 40 の基準周波数信号となり、分周器 51a の出力はデジタル回路 14 の動作クロック信号となる。他の構成は第 1 図に示された構成と同様である。

上述の構成において、可変周波数発振器 62 の周波数を 38 [KHz] の整数倍として、可変周波数発振器 62 の出力信号を既述スイッチング信号に位相同期せしめる。回路設定内容の一例を示せば、シンセサイザ部の基準周波数信号の周波数を 25 [KHz]、デジタル回路 14 のサンプリング周波数を 950 [KHz] に設定したときには、可変周波数発振器 62 の周波数を 8.55 [MHz] に、分周器 44c、51a 及び 63 の分周数を夫々 342、9 及び 225 に設定する。

— 11 —

数に最大で 12.5 [KHz] の周波数変動をもたらす可能性がある。

しかしながら、サブキャリア周波数は放送局において規定値に精確に維持されており、実用上特に問題とはならない。

こうして、シンセサイザ部 40、デジタル回路 14 及び MPX 回路 7 は、夫々基本クロック信号を介して互いに位相同期しているスイッチング信号、基準周波数信号及び動作クロックに基づいて動作するので、各部回路間におけるビートの発生は大きく減少する。

なお、実施例では MPX 回路 7 の後段からデジタル回路化しているが、動作クロック周波数を高くすることにより例えば混合回路 3 の後段から回路をデジタル化することが可能である。

また、実施例では基本クロック信号を分周して各部に分配する簡易な構成により互いに位相同期した各部のクロック信号を得ているが、逆に、各部のクロック信号を例えば PLL 回路を用いて強制的に基本クロック信号に同期させるようにして

— 13 —

なお、デジタル回路 14 のタイミングクロックは、サンプリング信号周波数の整数倍でかつサンプリング信号に位相同期している。

こうして、スイッチング信号、基準周波数信号及び動作クロックは互いに位相同期するように制御される。

ところで、第 2 図に示された構成では 38 [KHz] のスイッチング信号の周波数が変動すると IF も変化する。送信側におけるコンポジット信号の 38 [KHz] のサブキャリアには、放送規格によって ± 4 [Hz] の変動が許容されている。例えば、IF が 10.7 [MHz]、受信周波数が 108 [MHz]、基準周波数信号が 25 [KHz]、分周器 44c 及び 63 の分周数を夫々 342 及び 225 とすると、既述サブキャリアの許容変動による局発周波数の変動は以下のように計算される。

$$4 \times 225 \times (1/342) \times ((108 + 10.7) \times 10^3) / 25 = 12.5 \text{ [KHz]}$$

すなわち、既述サブキャリアの変動は局発周波

— 12 —

も同様の効果が得られる。

実施例では本発明を FM シンセサイザチューナに適用した場合について説明しているが、AM シンセサイザチューナやテレビ音声チューナにも適用可能であり、映像系を含むテレビチューナや BS チューナにも適用することも可能である。

発明の効果

以上説明するように本発明のシンセサイザチューナにおいては、チューナのシンセサイザ部、デジタル回路部、MPX 回路等の各部回路に供給される周波数信号やクロックを相互の周波数比が整数比となるようにしかつ該信号同士を位相同期させる構成としているので、シンセサイザチューナにおけるビート発生要因が減少し、チューナの S/N、受信感度が向上して好ましい。

4. 図面の簡単な説明

第 1 図は、本発明の実施例を示すブロック回路図、第 2 図及び第 3 図は、本発明の他の実施例を示すブロック回路図、第 4 図は、従来例を示すブロック回路図である。

— 14 —

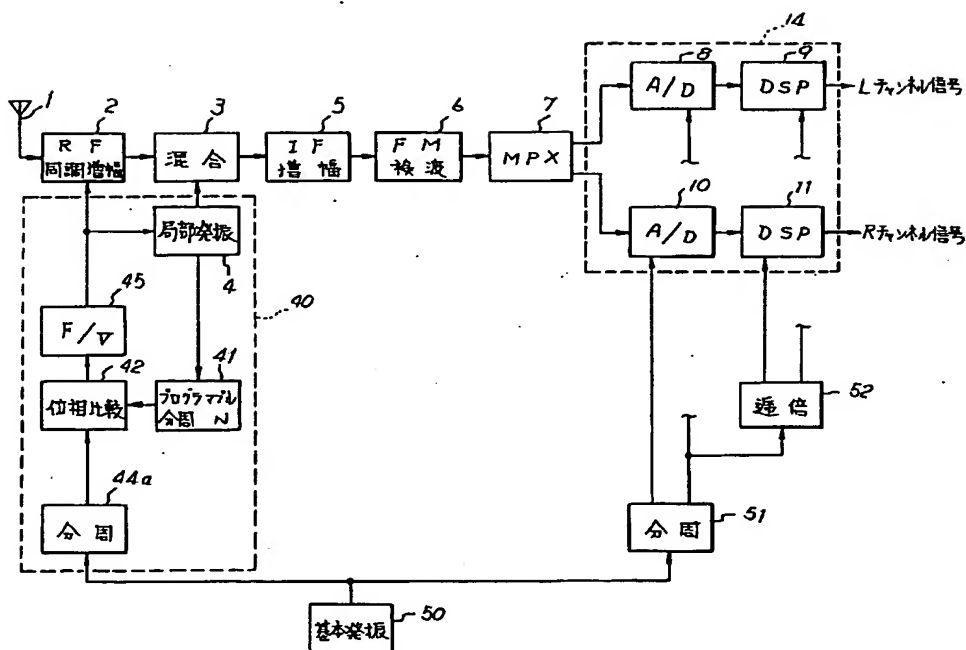
主要部分の符号の説明

- 7 …… M P X 回路
 14 …… デジタル回路部
 40 …… シンセサイザ部
 44a ~ 44c、51、51a、63
 …… 分周器
 50 …… 基本発振器
 62 …… 可変周波数発振器

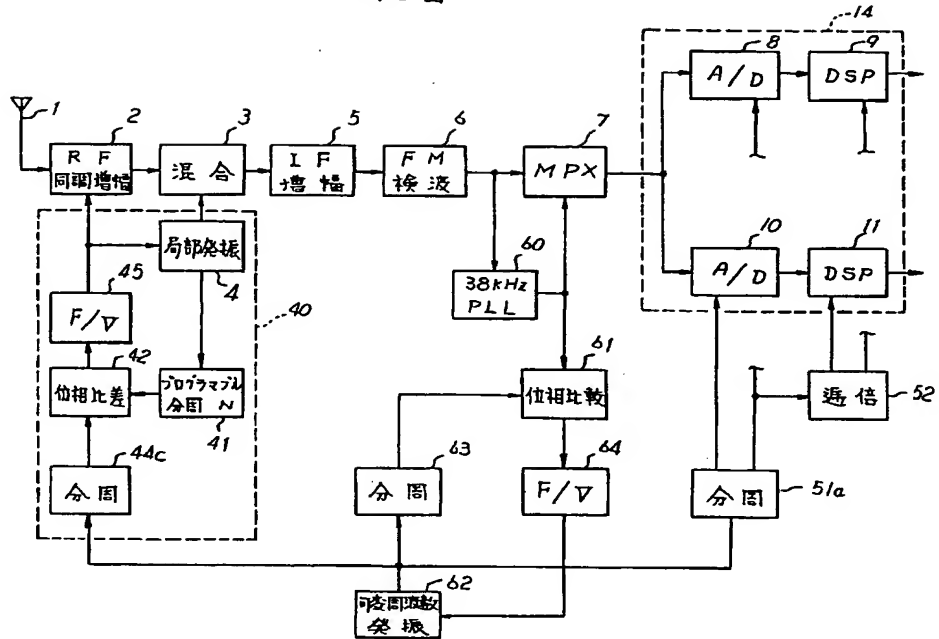
出願人 パイオニア株式会社
 代理人 弁理士 藤村 元彦

- 15 -

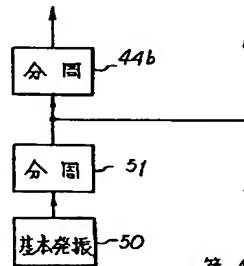
第1図



第2図



第3図



第4図

